



83
Translation of JP 02-029779 A

Specification

1. Title of the Invention

Plasma Display Panel Driving Method and Circuit
Thereof

2. Scope of Claim for Patent

1) A method of driving a memory-type plasma display panel in which a plurality of row electrodes (Y1 to Ym) and a plurality of column electrodes (X1 to Xn) both covered with a dielectric are arranged opposite to and intersecting with each other, and discharge cells are formed at the intersections, characterized in that

at least either of the row electrodes (Y1 to Ym) and the column electrodes (X1 to Xn) are divided into a plurality of groups (GY1 to GYM, GX1 to GXN), and a rising time of a sustain pulse applied to the electrodes in each group is shifted.

2) The plasma display panel driving method as recited in claim 1, characterized in that said shift time is not longer than 0.3 μ s with respect to adjacent ones of said groups.

3) A memory-type plasma display panel driving circuit in which a plurality of row electrodes (Y1 to Ym) and a plurality of column electrodes (X1 to Xn) both covered with a dielectric are arranged opposite to and intersecting with each other, and discharge cells are formed at the intersections, characterized in that

said driving circuit comprises:

sustain circuits (51 to 5M, 31 to 3N) that are each provided for each group of the row electrodes or the column electrodes divided into a plurality of groups, and each supply a common sustain pulse to the electrodes in each group in response to a control pulse supplied to an input terminal; and

delay circuits (61 to 6(M-1), 41 to 4(N-1)) each connected between the input terminals of adjacent ones of the sustain circuits with respect to the row electrodes or the column electrodes, wherein

with respect to the row electrodes or the column electrodes, the control pulse supplied to the input terminal of one of said sustain circuits causes the control pulses, which are sequentially delayed through the delay circuits, to be supplied to the input terminals of the other sustain circuits.

4) The plasma display panel driving circuit as recited in claim 3, characterized in that

one said sustain circuit (31) for one said group and one said delay circuit (41) whose input terminal is connected to the input terminal of said one sustain circuit are provided in one semiconductor integrated circuit (71), wherein

the input terminal (71a) of said sustain circuit (31) and an output terminal (71b) of said delay circuit (41) are used as external terminals of said semiconductor integrated circuit (71).

5) A method of driving a memory-type plasma display panel

in which a plurality of row electrodes and a plurality of column electrodes both covered with a dielectric are arranged opposite to and intersecting with each other, and discharge cells are formed at the intersections, characterized in that

a rising time of a sustain pulse applied to the row electrodes and the column electrodes is set to 0.1 to 0.3 μ s.

3. Detailed Description of the Invention

[Contents]

Summary

Applicable Field in the Industry

Conventional Art (Figs. 8 to 11)

Problems to Be Solved by the Invention

Means for Solving the Problems

Function

Embodiments

First Embodiment (Figs. 1 to 3)

Second Embodiment (Fig. 4)

Third Embodiment (Figs. 5 to 7)

Effects of the Invention

[Summary]

The invention relates to a method of driving a memory-type plasma display panel and a driving device thereof, in which display panel a plurality of row electrodes and a plurality of column electrodes covered with a dielectric are arranged opposite to and intersecting with each other;

the invention aims to prevent malfunction due to a

sustain pulse;

the method of driving a memory-type plasma display panel, in which a plurality of row electrodes and a plurality of column electrodes covered with a dielectric are arranged opposite to and intersecting with each other, and discharge cells are formed at the intersections, is constituted such that at least either of the row electrodes and the column electrodes are divided into a plurality of groups, and a rising time of a sustain pulse applied to the electrodes in each group is preferably shifted by time not longer than 0.3 μ s with respect to adjacent ones of said groups;

a driving circuit is constituted to include sustain circuits each provided for each group of the row electrodes or the column electrodes divided into a plurality of groups, to supply a common sustain pulse to the electrodes in each group in response to a control pulse supplied to an input terminal, and delay circuits each connected between the input terminals of adjacent ones of the sustain circuits with respect to the row electrodes or the column electrodes, wherein with respect to the row electrodes or the column electrodes, the control pulse supplied to the input terminal of one of said sustain circuits causes the control pulses, which are sequentially delayed through the delay circuits, to be supplied to the input terminals of the other sustain circuits; and

another driving method is constituted such that the rising time of the sustain pulse applied to the row electrodes and the column electrodes is set to 0.1 to 0.3 μ s.

[Applicable Field in the Industry]

The present invention relates to a method of and a device for driving a memory-type plasma display panel in which a plurality of row electrodes and a plurality of column electrodes both covered with a dielectric are arranged opposite to and intersecting with each other.

[Conventional Art]

Fig. 8 shows a cross-sectional structure of a memory-type plasma display panel.

A plurality of column electrodes X and row electrodes Y are provided, respectively on opposite surfaces of a front glass substrate 1 and a reverse glass substrate 2. The column electrodes X and row electrodes Y are line electrodes extending in directions orthogonal to each other. The respective opposite surfaces of the front glass substrate 1 and the reverse glass substrate 2 are further covered with memory dielectrics 3, 4 that cover the column electrodes X and row electrodes Y. The memory dielectrics 3, 4 are coated, respectively with protection films 5, 6 for use in preventing deterioration. Between the protection films 5 and 6, a spacer 7 is provided on edges of the protection films, so as to form a discharge space. This discharge space is closed by a seal glass 8 provided at the peripheries of the dielectrics 3, 4, and is filled with a mixture of neon gas and a little rare gas. In this way, discharge cells are formed at the intersections of the column electrodes X and the row electrodes Y.

Fig. 9 shows the regions of discharge cells 11, 12, 21 and 22 formed at the intersections of column electrodes X1, X2 and row electrodes Y1, Y2 among a large number of column electrodes X and row electrodes Y. Fig. 10 shows in its upper part the waveforms of drive voltages applied to these column electrodes X1, X2 and row electrodes Y1, Y2. Those of the waveforms with respect to the row electrodes Y1, Y2 indicate the inverted phases of the actual waveforms. Fig. 10 shows in its lower part the waveforms of voltages applied between each of the discharge cells 11 to 22. In Fig. 10, the dotted line denotes a wall voltage generated by electric charges on the surfaces of the dielectrics 3, 4 by discharge.

An operation of driving the plasma display panel includes a write operation, an erase operation and a sustain operation as shown in Fig. 10, which require respectively a write pulse, an erase pulse and a sustain pulse.

The height of the write pulse is not lower than a discharge starting voltage V_f , and said wall voltage is generated between the dielectrics 3 and 4 by discharge. The direction of an electric field caused by the voltage applied between the electrodes is opposite to the electric field direction caused by the wall voltage. If a sustain pulse opposite in phase to this write pulse is then supplied, the directions of the electric fields caused by the both voltages become coincident with each other, so that discharge emission occurs at a sustain voltage V_s not higher than the discharge starting voltage V_f . In discharge cells where no write pulse was supplied in the past, however, the wall voltage is approximately zero, and no discharge

emission occurs. Accordingly, supplying an AC sustain pulse to all of the discharge cells enables discharge emission of only the discharge cells, to which the write pulse was supplied in the past.

When an erase pulse of a smaller width than that of the sustain pulse is applied between the electrodes, the electric charges on the surfaces of the dielectrics 3, 4 are discharged, and no subsequent charging is carried out, so that the wall charge becomes approximately zero. Thus, even if a sustain pulse is subsequently supplied between these electrodes, no discharge emission occurs.

[Problems to Be Solved by the Invention]

Since the number of display dots is, however, e.g., 640 x 400, and inphase sustain pulses are applied respectively to the column electrodes X and the row electrodes Y, a peak value of a discharge current after the rising of the sustain pulse becomes large, so that negative spike noise is generated at a sustain voltage (power supply voltage) V_s for producing a sustain pulse, as shown in Fig. 11. Thus, this noise is also generated at a sustain pulse voltage, and the increment of a minimum discharge sustaining voltage V_{sm} becomes larger than the increment of the discharge starting voltage V_f , that is, the margin of the sustain voltage V_s becomes smaller, which leads to the disadvantage that discharge cells are liable to malfunction in relation to variations in the characteristics of discharge cells.

Moreover, since each discharge cell is a capacitive

load, a spike-like large displacement current flows at the rising time of the sustain pulse, so as to give noise to a shift register or the like used in a write erase control circuit, which causes a malfunction. Such a malfunction is also caused by the above discharge current.

An object of the invention is, in view of the aforementioned problems, to provide a plasma display panel driving method and a circuit thereof capable of preventing a malfunction caused by a sustain pulse.

[Means for Solving the Problems and Function]

(1) In order to achieve such an object, in a plasma display panel driving method according to the invention, at least either of row electrodes and column electrodes are divided into a plurality of groups, and the rising time of a sustain pulse applied to the electrodes in each group is shifted.

This causes a shift in the peak point of a discharge current for each group, leading to a decrease in the peak value of the entire discharge current.

Thus, the margin of a sustain voltage becomes larger, and discharge cells are prevented from malfunctioning in relation to variations in the characteristics of the discharge cells.

In addition, a shift register or the like susceptible to noise is prevented from malfunctioning.

(2) The above shift time is preferably not longer than 0.3 μ s because if the shift time is set too long for any adjacent groups, then a pseudo-erase pulse is produced

between the electrodes of the adjacent groups.

(3) A driving circuit that implements the above method is constituted by the following two elements:

① A sustain circuit that is provided for each group of row electrodes or column electrodes divided into a plurality of groups, to supply a common sustain pulse to the electrodes in each group in response to a control pulse supplied to an input terminal.

② A delay circuit connected between the input terminals of adjacent ones of the sustain circuits with respect to the row electrodes or column electrodes.

If the control pulse is supplied to the input terminal of the single sustain circuit with respect to the row electrodes or column electrodes, then control pulses, which are sequentially delayed by the delay circuits are supplied to the input terminals of the other sustain circuits.

(4) For implementing the above driving circuit in a semiconductor integrated circuit, said sustain circuit corresponding to one said group, and one said delay circuit whose input terminal is connected to the input terminal of the sustain circuit are provided in a single semiconductor integrated circuit, wherein the input terminal A of the sustain circuit and an output terminal B of the delay circuit are used as external terminals of the semiconductor integrated circuit.

The above-described driving circuit is constituted by sequentially connecting in cascade the output terminal B of one semiconductor integrated circuit to the input terminal A of another semiconductor integrated circuit.

(5) In another method of driving a plasma display panel, the rising time of a sustain pulse applied to the row electrodes and column electrodes is set to 0.1 to 0.3 μ s.

Conventionally, it is considered that the shorter the rising time of a sustain pulse is, the better since with a slower rising of the sustain pulse, discharge is generated in the course of the rising, so that sufficient discharge is not carried out. If this rising time is set to not longer than 0.3 μ s, then discharge is generated after the rising of the sustain pulse, so that sufficient discharge is carried out, which does not require a sustain voltage margin to be smaller. Furthermore, if the rising time is set to not shorter than 0.1 μ s, then the rising becomes slower, so that the peak value of a displacement current flowing through the electrodes decreases, which prevents a shift register or the like susceptible to noise from malfunctioning.

[Embodiments]

Embodiments of the invention will now be described with reference to the drawings.

(1) First Embodiment

Fig. 1 shows the structure of a main part of a memory-type plasma display panel driving circuit.

This plasma display panel is configured as shown in Fig. 8 to include n linear column electrodes X_1 to X_n and m linear row electrodes Y_1 to Y_m . The column electrodes and row electrodes are arranged in directions orthogonal to each other on different planes, and $n \times m$, e.g., 640×400 discharge cells are formed. The column electrodes are

divided into N groups, i.e., a first column electrode group GX1, a second column electrode group GX2, ... an N th column electrode group GXN, each of which is constituted by a set of four adjacent column electrodes (e.g., 160 column electrodes in practice).

All of the terminals in each group are connected in common, respectively, to output terminals of sustain circuits 31, 32, ... 3N. Each of the sustain circuits 31 to 3N outputs, for example, a single sustain pulse of 100 V in response to a single sustain control pulse of 5V. Delay circuits 41, 42, ... 4(N-1) with their input terminals being on the side of the sustain circuits 31, 32, ... 3(N-1) are connected, respectively between the input terminals of adjacent sustain circuits.

Note that Fig. 1 does not show a write driving circuit or an erase driving circuit.

In the above structure, when a periodical sustain control pulse is supplied to the input terminal of the sustain circuit 31, the input terminals of sustain circuits 32 to 3n are supplied with sustain control pulses that are sequentially delayed by time t_d by the respective delay circuits 41 to 4(N-1). Thus, sustain pulses, each of which rising time is sifted only by time t_d with respect to the adjacent group are applied to the column electrode groups GX1, GX2, ... as shown in Fig. 2. Accordingly, a displacement current and a discharge current that flow through the column electrode groups GX1 to GXN have their peak time points shifted only by time t_d with respect to the adjacent groups, so that the peak values of the displacement current and the

discharge current flowing through all of the column electrodes become significantly small as compared with the conventional example.

The shift time t_d is preferably not longer than 0.3 μ s because if the shift time is set too long for any adjacent groups, then a pseudo-erase pulse is produced between the electrodes of the adjacent groups.

The same is applied also to the row electrodes, that is, the row electrodes Y1 to Ym are divided into M groups, i.e., a first row electrode group GY1, a second row electrode group GY2, ... an Mth row electrode group GYN, each of which is constituted by a set of four adjacent row electrodes (e.g., 200 row electrodes in practice). All of the terminals in each group are connected in common, respectively, to output terminals of sustain circuits 51, 52, ... 5M, and delay circuits 61 to 6(M-1) are connected, respectively between the input terminals of the adjacent sustain circuits.

Fig. 3 shows the relationship between the division number of groups of column electrodes and row electrodes in a plasma display with the number of dots being 640 x 400, and a sustain voltage margin. In Fig. 3, the following relation is satisfied: (division number of groups) = (division number of row electrodes) = (division number of column electrodes). The sustain voltage margin indicates the difference between a discharge starting voltage V_f at which discharge is started when a voltage is applied to discharge cells where no writing is performed, and a minimum discharge sustaining voltage V_{sm} for sustaining discharge by

supplying a sustain pulse to discharge cells where writing has been performed. Since the V_f and V_{sm} are variable for each discharge cell, a small sustain voltage margin may cause malfunctions due to variations or the like of a power supply voltage.

It is seen from Fig. 3 that a sufficient margin can be obtained when the division number of groups is 2 or more. The division number of groups is preferably 2 to 3 since an excessively large division number makes the structure complicated. Furthermore, with such a division number 2 to 3 and a sufficiently low peak value of discharge current, a shift register or the like that is susceptible to noise can be prevented from malfunctioning.

(2) Second Embodiment

Fig. 4 shows the structure of a main part of a memory-type plasma display panel driving circuit. In the second embodiment, although the circuit per se is the same as that of Fig. 1, the driving circuit is devised in the following way so as to be constituted by a semiconductor integrated circuit.

That is to say, a sustain circuit 31 and a delay circuit 41 are provided in a single semiconductor integrated circuit 71, and an input terminal of the sustain circuit 31 and that of the delay circuit 41 are connected in common to an external input terminal 71a, while an output terminal of the delay circuit 41 is connected to an external output terminal 71b.

This sustain circuit 31 includes a level shifter 31a, a PNP transistor 31b and an NPN transistor 31c having their

bases connected to output terminals of the level shifter 31a. The PNP transistor 31b has its emitter connected to a sustain voltage power supply terminal; the NPN transistor 31c has its emitter grounded; and the PNP transistor 31b and the NPN transistor 31c have their collectors connected in common to an external output terminal 71c. This external output terminal 71c is connected to a column electrode X1.

When a single sustain control pulse is supplied to the level shifter 31a, the PNP transistor 31b is supplied with a single switching pulse, and then the NPN transistor 31c is supplied with a single switching pulse, so that a single sustain pulse as illustrated in Fig. 4 is derived at the external output terminal 71c.

The same structure as that of the semiconductor integrated circuit 71 is also applied to a semiconductor integrated circuit 72. Elements of the semiconductor integrated circuit 72 which correspond to the elements 31a to 31c, 41, 71a to 71c of the semiconductor integrated circuit 71 are denoted with reference numerals 32a to 32c, 42, 72a to 72c, and the description thereof will not be given.

The output terminal 71b of the semiconductor integrated circuit 71 is connected in cascade to an input terminal 72a of the semiconductor integrated circuit 72. The same cascade connection is also applied to any other semiconductor integrated circuits not shown, of which structures are the same as that shown in Fig. 1.

Note that the semiconductor integrated circuits 71, 72, ... incorporate driving circuits that generate write pulses or

erase pulses, and shift registers or the like that supply data signals to these driving circuits.

(3) Third Embodiment

Fig. 5 shows a sustain circuit for a discharge cell 11. In this sustain circuit 31A, in addition to the sustain circuit 32 of Fig. 4, a diode 81 is connected in parallel between the emitter and the collector of the PNP transistor 31b, while a diode 82 and a capacitor 83 are connected in parallel between the emitter and the collector of the NPN transistor 31c. The diodes 81 and 82 serve to prevent a potential on the column electrode X1 from being not lower than the sustain voltage V_s , nor higher than 0V. A sustain circuit 51A connected to the row electrode Y1 has also the same structure as that of the sustain circuit 31A and is indicated by a box. The remaining parts are the same in structure as those shown in Fig. 1.

When a sustain control pulse is supplied to the level shifter 31a of the sustain circuit 31A in the above structure, a sustain pulse is supplied to the column electrode X1; however, since the capacitor 83 is connected in parallel with the discharge cell 11, a displacement current is distributed not only to the column electrode X1 but also the capacitor 83. Thus a rising time t_r of the sustain pulse becomes longer than conventional, which thus can prevent the generation of noise.

Fig. 7 shows the relationship between the sustain pulse rising time t_r and the sustain voltage margin. In the relation $t_r > 0.3 \mu s$, discharge occurs in the course of the rising of the sustain pulse, so that the sustain voltage

margin becomes smaller. In the relation $t_r < 0.1 \mu s$, noise is generated by sharp rising of the sustain pulse, so that the above-described shift register or the like malfunctions. Thus it is not preferable. Accordingly, a preferable range of the sustain pulse rising time t_r is $0.1 \mu s < t_r < 0.3 \mu s$.

Note that it may also be considered that the capacitor 83 be replaced by a resistor that is connected in series with the column electrode X1 to make the rising of the sustain pulse slower; however, this is not preferable because a current flowing through this resistor causes a voltage drop, which thus lowers the sustain voltage and makes smaller the sustain voltage margin shown in Fig. 7.

[Effects of the Invention]

As has been described, in a method of and a circuit for driving a plasma display panel according to the present invention, at least either of row electrodes and column electrodes are divided into a plurality of groups, and the rising time of a sustain pulse applied to the electrodes in each group is shifted. Thus, the peak time point of a discharge current for each group is shifted, and the peak value of the entire discharge current decreases, which thus provides the following excellent effects that discharge cells can be prevented from malfunctioning in association with variations in properties of the discharge cells, and that a shift register or the like susceptible to noise can be prevented from malfunctioning.

In another method of driving a plasma display panel according to the present invention, since the rising time of

a sustain pulse applied to row electrodes and column electrodes is set to 0.1 to 0.3 μ s, the peak value of a displacement current flowing through the electrodes can be decreased without making the sustain voltage margin smaller, which thus leads to the excellent effect that a shift register or the like susceptible to noise can be prevented from malfunctioning.

4. Brief Description of the Drawings

Figs. 1 to 3 relate to a first embodiment of the present invention:

Fig. 1 is a diagram of a driving circuit of a main part of a memory-type plasma display panel;

Fig. 2 is a time chart of a sustain pulse applied to column electrode groups GX1 to GX3 shown in Fig. 1;

Fig. 3 is a diagram showing the relationship between the division number of electrode groups and a sustain voltage margin; and

Fig. 4 is a diagram of a driving circuit of a main part of a memory-type plasma display panel according to a second embodiment of the present invention.

Figs. 5 to 7 relate to a third embodiment of the present invention:

Fig. 5 is a sustain circuit diagram for a cell 11;

Fig. 6 is a waveform diagram of a sustain pulse and a discharge emission pulse with respect to the circuit shown in Fig. 5; and

Fig. 7 is a line diagram showing the relationship between a sustain pulse rising time and a sustain voltage

margin.

Figs. 8 to 11 relate to a conventional example:

Fig. 8 is a cross-sectional structural diagram of a memory-type plasma display panel;

Fig. 9 is a diagram showing regions of discharge cells formed between the column electrodes X1 and X2 and the row electrodes Y1 and Y2 of Fig. 8;

Fig. 10 is a time chart of a drive pulse applied to the electrodes shown in Fig. 9 and a drive pulse applied between the electrodes of the discharge cells; and

Fig. 11 is a waveform diagram for use in explaining the disadvantages of the conventional example.

In the figures,

3, 4: dielectric

11, 12, 21, 22: discharge cell

31 to 3N, 31A, 51 to 5N, 51A: sustain circuit

31a, 32a: level shifter

41 to 4N, 61 to 6N: delay circuit

71, 72: semiconductor integrated circuit

GX1 to GXN: column electrode group

GY1 to GYM: row electrode group

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-029779

(43)Date of publication of application : 31.01.1990

(51)Int.Cl.

G09G 3/28

(21)Application number : 63-180955

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.07.1988

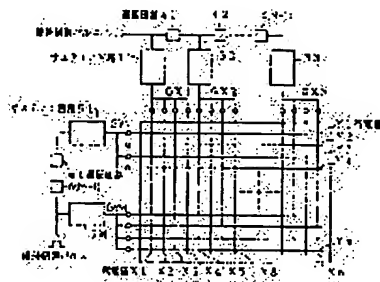
(72)Inventor : YOSHIKAWA KAZUO
OTSUKA AKIRA

(54) PLASMA DISPLAY PANEL DRIVING METHOD AND ITS CIRCUIT

(57)Abstract:

PURPOSE: To prevent a malfunction due to a maintenance pulse by dividing either of row and column electrodes into plural groups and delaying the leading time of maintenance pulses impressed on the respective groups of electrodes.

CONSTITUTION: When the maintenance control pulses are periodically supplied to the input terminal of a sustain ST circuit 31, they are sequentially delayed by delay circuits 41 to 4(N-1) by (td) minutes and supplied to the input terminals of ST circuits 32-3N. Accordingly, on the groups of the column electrodes GX1, GX2..., the maintenance pulses whose leading times are different by td in the adjacent groups are impressed. Therefore, the peak times of displacement and discharge currents flowing to the groups GX1-GXN are different by the time td in the adjacent groups. Then, the peak value of the displacement and discharge currents flowing to all the column electrodes is decreased. Similarly to row electrodes Y, the outputs of delay circuits 61 to 6(M-1) are supplied to the input terminals of adjacent ST circuits in the ST circuits 51-5M.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

平2-29779

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成2年(1990)1月31日

G 09 G 3/28

6376-5C

審査請求 未請求 請求項の数 5 (全9頁)

⑥ 発明の名称 プラズマディスプレイパネル駆動方法及びその回路

⑦ 特 願 昭63-180955

⑦ 出 願 昭63(1988)7月20日

⑦ 発 明 者 吉 川 和 生 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑦ 発 明 者 大 塚 晃 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑦ 代 理 人 弁理士 井桁 貞一 外2名

明 細 書

1. 発 明 の 名 称

プラズマディスプレイパネル駆動方法及びその回路

2. 特 許 請 求 の 範 囲

1) .誘電体に被われた複数の行電極(Y1-Ym)と複数の列電極(X1-Xn)とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、

該行電極(Y1-Ym)及び該列電極(X1-Xn)の少なくとも一方を複数のグループ(GY1-GYm, GX1-GXn)に分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしたことを特徴とするプラズマディスプレイパネル駆動方法。

2) .前記ずらし時間は、隣合う前記グループについて0.3μs以下であることを特徴とする請求項1記載のプラズマディスプレイパネル駆動方法。

3) .誘電体に被われた複数の行電極(Y1-Ym)と複

数の列電極(X1-Xn)とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動回路において、

複数のグループに分割された該行電極または該列電極の該グループ(GY1-GYm, GX1-GXn)毎に設けられ、入力端子に供給される制御パルスにตอบสนองして、共通の維持パルスを該グループ内の各電極に供給するサスティン回路(51-5M, 31-3N)と、

該行電極または該列電極についての隣合う該サスティン回路の該入力端子間に接続された遅延回路(61-6(M-1), 41-4(N-1))とを有し、

該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給することにより、該遅延回路を介し順次遅延された制御パルスを他の各サスティン回路の該入力端子に供給するようにしたことを特徴とするプラズマディスプレイパネル駆動回路。

4) .1つの半導体集積回路(71)内に、1つの前記グループに対する前記サスティン回路(31)と、

入力端子が該サスティン回路の該入力端子に接続された1つの前記遅延回路(41)とを設け、

該サスティン回路(31)の該入力端子(71a)と該遅延回路(41)の出力端子(71b)とを該半導体駆動回路(71)の外部端子としたことを特徴とする請求項3記載のプラズマディスプレイパネル駆動回路。

5) 誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、

該行電極及び該列電極に印加する維持パルスの立ち上がり時間を $0.1 \sim 0.3 \mu s$ にしたことを特徴とするプラズマディスプレイパネル駆動方法。

3. 発明の詳細な説明

[目次]

概要

産業上の利用分野

従来の技術(第8～11図)

発明が解決しようとする課題

グループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間を、好ましくは、隣合う前記グループについて $0.3 \mu s$ 以下ずらして駆動方法を構成し、

複数のグループに分割された該行電極または該列電極の該グループ毎に設けられ、入力端子に供給される制御パルスにตอบสนองして、共通の維持パルスを該グループ内の各電極に供給するサスティン回路と、該行電極または該列電極についての隣合う該サスティン回路の該入力端子間に接続された遅延回路とを有し、該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給することにより、該遅延回路を介し順次遅延された制御パルスを他の各サスティン回路の該入力端子に供給するように駆動回路を構成し、

該行電極及び該列電極に印加する維持パルスの立ち上がり時間を $0.1 \sim 0.3 \mu s$ にして他の駆動方法を構成する。

課題を解決するための手段

作用

実施例

第1実施例(第1～3図)

第2実施例(第4図)

第3実施例(第5～7図)

発明の効果

[概要]

誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設されたメモリタイプ・プラズマディスプレイパネルの駆動方法及び駆動装置に関し、

維持パルスに起因する誤動作を防止することを目的とし、

誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設され、該交差部分に放電セルが形成されたメモリタイプ・プラズマディスプレイパネルの駆動方法において、該行電極及び該列電極の少なくとも一方を複数の

[産業上の利用分野]

本発明は、誘電体に被われた複数の行電極と複数の列電極とが互いに対向して交差するように配設されたメモリタイプ・プラズマディスプレイパネルの駆動方法及び駆動装置に関する。

[従来の技術]

第8図はメモリタイプ・プラズマディスプレイパネルの横断面構成を示す。

前面ガラス基板1と裏面ガラス基板2の対向面には、それぞれ複数の列電極Xと行電極Yとが設けられている。列電極X及び行電極Yは線電極であり、互いに直交する方向に延びている。前面ガラス基板1および裏面ガラス基板2の対向面にはさらに、列電極X及び行電極Yを被うメモリ用誘電体3、4が被着されている。誘電体3、4上には、それぞれ劣化防止用の保護膜5、6が被着されている。保護膜5、6間には、その縁部にスペーサ7が介在されて、放電スペースが形成されている。この放電スペースは、誘電体3、4の周部

に設けられたシールガラス8により閉じられており、内部にネオンガス及び若干の稀ガスが混合封入されている。このようにして、列電極Xと行電極Yとの交差部分に放電セルが形成されている。

第9図は、多数の列電極X、行電極Yのうち、列電極X1、X2と行電極Y1、Y2の交差部分に形成される放電セル11、12、21及び22の領域を示す。また、第10図上部には、これら列電極X1、X2及び行電極Y1、Y2に印加される駆動電圧の波形を示す。これら波形のうち、行電極Y1、Y2については実際の波形の位相を反転したものを示している。放電セル11～22の電極間に印加される電圧波形は、第10図下部に示す如くなる。図中、点線は、放電により誘電体3、4の表面に帯電された電荷による壁電圧を示す。

プラズマディスプレイパネルを駆動する動作は図示の如く、書き込み動作、消去動作及び維持動作からなり、各動作に対応して、書き込みパルス、消去パルス及び維持パルスを必要とする。

書き込みパルスの高さは放電開始電圧 V_1 以上

であり、放電により誘電体3、4間に前記壁電圧を生成する。電極間に印加された電圧による電界の方向と、壁電圧による電界の方向は逆であり、次にこの書き込みパルスと逆位相の維持パルスを供給すると、両電圧による電界方向が一致し、放電開始電圧 V_1 以下の維持電圧 V_2 で放電発光が生ずる。しかし、過去に書き込みパルスが供給されなかった放電セルについては、壁電圧が略零であり、放電発光しない。したがって、すべての放電セルに交流維持パルスを供給することにより、過去に書き込みパルスが供給された放電セルのみを放電発光させることができる。

維持パルスよりも細幅の消去パルスを電極間に印加した場合には、誘電体3、4の表面に帯電した電荷が放電され、その後帯電が行われず、壁電荷が略零になるので、その後維持パルスをこの電極間に供給しても放電発光が生じない。

[発明が解決しようとする課題]

しかし、表示ドット数は例えば640×400ドット

提供することにある。

[課題を解決するための手段及びその作用]

(1) この目的を達成するために、本発明に係るプラズマディスプレイパネル駆動方法では、行電極及び列電極の少なくとも一方を複数のグループに分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしている。

これにより、各グループ毎の放電電流のピーク時点がずれるので、全放電電流のピーク値が小さくなる。

したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができる。

また、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができる。

(2) 上記ずらし時間は、隣合うグループについてあまり大きくすると、隣合うグループの電極間に疑似的消去パルスが作成されるので、0.3 μ s以下であることが好ましい。

もあり、列電極X及び行電極Yにはそれぞれ同位相の維持パルスを印加していたので、第11図に示す如く、維持パルス立ち上がり後の放電電流のピーク値が大きくなり、維持パルスを作成するための維持電圧(電源電圧) V_2 に負のスパイク状ノイズが生じる。このため、維持パルス電圧にもこのノイズが生じて、放電開始電圧 V_1 の増分よりも最低放電維持電圧 V_{th} の増分の方が大きくなり、すなわち維持電圧 V_2 のマージンが狭くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作し易いという問題点があった。

また、各放電セルは容量負荷であるので、維持パルスの立ち上がり時にスパイク状の大きな電位電流が流れて、書き込み消去制御回路で用いられるシフトレジスタ等にノイズを与え、誤動作の原因となるという問題点があった。この誤動作は上記放電電流によっても生ずる。

本発明の目的は、上記問題点に鑑み、維持パルスに起因する誤動作を防止することができるプラズマディスプレイパネル駆動方法及びその回路を

(3) 上記方法を実施する駆動回路は次の2要素を備えて構成される

①複数のグループに分割された行電極または列電極の該グループ毎に設けられ、入力端子に供給される制御パルスにตอบสนองして、共通の維持パルスを該グループ内の各電極に供給するサスティン回路。
②該行電極または該列電極についての隣合う該サスティン回路の該入力端子間に接続された遅延回路。

該行電極または該列電極について、1つの該サスティン回路の該入力端子に該制御パルスを供給すると、該遅延回路を介し順次遅延された制御パルスが他の各サスティン回路の該入力端子に供給される。

(4) 上記駆動回路を半導体集積回路化するには、1つの半導体集積回路内に、1つの前記グループに対する前記サスティン回路と、入力端子が該サスティン回路の該入力端子に接続された1つの前記遅延回路とを設け、該サスティン回路の該入力端子Aと該遅延回路の出力端子Bとを該半導体集

積回路の外端子とする。

順次、一つの半導体集積回路の出力端子Bを他の半導体集積回路の入力端子Aにカスケード接続することにより、上記駆動回路が構成される。

(5) 本発明に係る他のプラズマディスプレイパネルの駆動方法では、行電極及び列電極に印加する維持パルスの立ち上がり時間を $0.1 \sim 0.3 \mu s$ にする。

従来では、維持パルスの立ち上がりが緩やかであると立ち上がりの途中で放電が発生して十分な放電が行われないため、その立ち上がり時間は短いほど良いとされていた。しかし、この立ち上がり時間を $0.3 \mu s$ 以下にすれば、維持パルスの立ち上がり後に放電が生じるので、十分な放電が行われ、維持電圧マージンを狭くすることがない。また、立ち上がり時間を $0.1 \mu s$ 以上にすれば、立ち上がりが緩やかになるので、電極に流れる変位電流のピーク値が小さくなり、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができる。

[実施例]

以下、図面に基づいて本発明の実施例を説明する。

(1) 第1実施例

第1図はメモリアイプ・プラズマディスプレイパネル駆動回路の要部構成を示す。

このプラズマディスプレイパネルは第8図に示す如く構成されており、 n 本の線状列電極 $X1 \sim Xn$ 及び m 本の線状行電極 $Y1 \sim Ym$ が備えられている。列電極及び行電極は異なる平面上で互いに直交する方向に配置され、 $n \times m$ 個、例えば 640×400 個の放電セルが形成されている。列電極は隣合う4本(実際には、例えば16.0本)の電極の組からなる N 個の第1列電極グループ $GX1$ 、第2列電極グループ $GX2 \dots$ 第 N 列電極グループ GXN に分割されている。

各グループ毎の全端子は、共通にそれぞれサスティン回路 $31, 32 \dots 3N$ の出力端子に接続されている。各サスティン回路 $31 \sim 3N$ は、

$5V$ の1個の維持制御パルスにตอบสนองして、例えば $100V$ の1個の維持パルスを出力する。隣合うサスティン回路の入力端子間には、それぞれ遅延回路 $41, 42 \dots 4(N-1)$ がその入力端子をサスティン回路 $31, 32 \dots 3(N-1)$ 側にし て接続されている。

なお、第1図では、書込駆動回路及び消去駆動回路を図示省略している。

上記構成において、サスティン回路 31 の入力端子に周期的な維持制御パルスを供給すると、サスティン回路 $32 \sim 3n$ の入力端子には、それぞれ遅延回路 $41 \sim 4(N-1)$ により順次時間 t で遅延された維持制御パルスが供給される。したがって、列電極グループ $GX1, GX2 \dots$ にはそれぞれ、第2図に示す如く、隣合うグループについて立ち上がり時間が t だけ異なる維持パルスが印加される。このため、列電極グループ $GX1 \sim GXN$ に流れる変位電流及び放電電流のピーク時点は、隣合うグループについて時間 t だけずれ、全列電極に流れる変位電流及び放電電流のピーク値が従来に比

し極めて小さくなる。

すらし時間 t_1 は、隣合うグループについてあまり大きくすると隣合うグループの電極間に疑似的消去パルスが作成されるので、0.3 μ s以下であることが好ましい。

行電極についても上記同様であり、行電極Y1～Y m は隣合う4本(実際には、例えば200本)の電極の組からなるM個の第1行電極グループGY1、第2行電極グループGY2・・・第M行電極グループGYMに分割されている。また、各グループ毎の全端子は、共通にそれぞれサスティン回路51、52・・・5Mの出力端子に接続され、隣合うサスティン回路の入力端子間には、それぞれ遅延回路61～6(M-1)が接続されている。

第3図はドット数640 \times 400のプラズマディスプレイの列電極及び行電極をグループに分割した場合のグループ分割数と維持電圧マージンとの関係を示す。第3図では、(グループ分割数)=(行電極分割数)=(列電極分割数)である。また、維持電圧マージンとは、書き込みを行っていない

放電セルに電圧を加えたときに放電が開始する放電開始電圧 V_1 と、書き込みを行った放電セルに維持パルスを供給して放電を維持するための最低放電維持電圧 V_{m1} との差をいう。この V_1 及び V_{m1} は各放電セルについてバラツキがあるので、維持電圧マージンが狭いと電源電圧の変動等により誤動作が生ずる原因となる。

図示の如く、グループ分割数が2以上の場合には十分なマージンが得られることが解る。グループ分割数をあまり多くすると構成が複雑になるので、好ましいグループ分割数は2～3である。また、この程度の分割数で放電電流のピーク値を充分小さくしてノイズに弱いシフトレジスタ等の誤動作を防止することができる。

(2) 第2実施例

第4図はメモリアイププラズマディスプレイパネル駆動回路の要部構成を示す。この第2実施例では、回路自体は第1図と同一であるが、駆動回路を半導体集積回路で構成するために次のような工夫をしている。

すなわち、サスティン回路31と遅延回路41とを1つの半導体集積回路71内に備え、サスティン回路31の入力端子と遅延回路41の入力端子とを共通にして外部入力端子71aに接続し、遅延回路41の出力端子を外部出力端子71bに接続している。

このサスティン回路31は、レベルシフタ31aと、ベースがレベルシフタ31aの出力端子に接続されたPNP型トランジスタ31b及びNPN型トランジスタ31cとからなる。PNP型トランジスタ31bのエミッタは維持電圧電源端子に接続され、NPN型トランジスタ31cのエミッタはアースされ、PNP型トランジスタ31b及びNPN型トランジスタ31cのコレクタは共通に外部出力端子71cに接続されている。この外部出力端子71cは、列電極X1に接続されている。

レベルシフタ31aに1個の維持制御パルスを供給すると、PNP型トランジスタ31bに1個のスイッチングパルスが供給された後、NPN型トランジスタ31cに1個のスイッチングパルスが供

給されて、外部出力端子71cに図示のような1個の維持パルスが取り出される。

半導体集積回路72についても半導体集積回路71と同一構成であり、半導体集積回路71の構成要素31a～31c、41、71a～71cに対応する構成要素にそれぞれ符号32a～32c、42、72a～72cを付してその説明を省略する。

半導体集積回路71の出力端子71bは半導体集積回路72の入力端子72aにカスケード接続され、図示しない半導体集積回路についても以下同様のカスケード接続が行われ、第1図と同一構成にされる。

なお、半導体集積回路71、72・・・には書き込みパルスや消去パルスを作成する駆動回路及びこれらにデータ信号を供給するシフトレジスタ等が内蔵されている。

(3) 第3実施例

第5図は放電セル11についてのサスティン回路を示す。このサスティン回路31Aでは、第4

図のサスティン回路32に加えて、PNP型トランジスタ31bのエミッタ・コレクタ間にダイオード81が並列接続され、NPN型トランジスタ31cのエミッタ・コレクタ間にダイオード82及びコンデンサ83が並列接続されている。ダイオード81及び82は、列電極X1の電位が維持電圧 V_m 以上又は0V以下になるのを防止するためのものである。行電極Y1に接続されるサスティン回路51Aもサスティン回路31Aと同様の構成であり、第5図では1つのボックスで示してある。他の点については第1図と同一構成である。

上記構成において、サスティン回路31Aのレベルシフタ31aに維持制御パルスを供給すると、列電極X1には維持パルスが供給されるが、放電セル11に並列にコンデンサ83が接続されているので、変位電流は列電極X1のみならずコンデンサ83にも分配され、したがって、第6図に示す如く、維持パルスの立ち上がり時間 t_r が従来よりも長くなり、ノイズの発生を防止することができる。

ープに分割し、各グループの電極に印加する維持パルスの立ち上がり時間をずらしているため、各グループ毎の放電電流のピーク時点がずれ、全放電電流のピーク値が小さくなり、したがって、維持電圧のマージンが広くなり、放電セルの特性のバラツキとの関係で放電セルが誤動作するのを防止することができるとともに、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

本発明に係る他のプラズマディスプレイパネルの駆動方法によれば、行電極及び列電極に印加する維持パルスの立ち上がり時間を0.1~0.3 μ sにしているため、維持電圧マージンを狭くすることなく、電極に流れる変位電流のピーク値を小さくすることができ、ノイズに弱いシフトレジスタ等が誤動作するのを防止することができるという優れた効果を奏する。

4. 図面の簡単な説明

第1図乃至第3図は本発明の第1実施例に係り、

第7図は維持パルス立ち上がり時間 t_r と維持電圧マージンとの関係を示す。 $t_r > 0.3 \mu$ sでは、維持パルスの立ち上がりの途中で放電が生じるので、維持電圧マージンが狭くなる。また、 $t_r < 0.1 \mu$ sでは、維持パルスの急峻な立ち上がりによりノイズを発生させ、上記シフトレジスタ等が誤動作するので好ましくない。したがって、維持パルス立ち上がり時間 t_r の好ましい範囲は 0.1μ s $< t_r < 0.3 \mu$ sである。

なお、コンデンサ83の代わりに、列電極X1に抵抗器を並列接続して維持パルスの立ち上がりを緩やかにすることも考えられるが、この抵抗器に流れる電流により電圧降下が生じて維持電圧が低下し、第7図に示す維持電圧マージンが狭くなるので好ましくない。

〔発明の効果〕

以上説明したように、本発明に係るプラズマディスプレイパネルの駆動方法及び駆動回路によれば、行電極及び列電極の少なくとも一方を複数のグル

第1図はメモリタイプ・プラズマディスプレイパネルの要部駆動回路図、

第2図は第1図に示す列電極グループGX1~GX3に印加される維持パルスのタイムチャート、

第3図は電極のグループ分割数と維持電圧マージンとの関係を示す図である。

第4図は本発明の第2実施例に係るメモリタイプ・プラズマディスプレイパネルの要部駆動回路図である。

第5図乃至第7図は本発明の第3実施例に係り、第5図はセル11についてのサスティン回路図、第6図は第5図に示す回路についての維持パルス及び放電発光パルスの波形図、

第7図は維持パルス立ち上がり時間と維持電圧マージンとの関係を示す線図である。

第8図乃至第11図は従来例に係り、

第8図はメモリタイプ・プラズマディスプレイパネルの横断面構成図、

第9図は第8図の列電極X1、X2と行電極Y1、Y2間に形成される放電セルの領域を示す図、

第10図は第9図に示す電極に印加される駆動パルス及び放電セルの電極間に印加される駆動パルスのタイムチャート、

第11図は従来例の問題点を説明する波形図である。

図中、

3、4は誘電体

11、12、21、22は放電セル

31~3N、31A、51~5N、51Aはサステイン回路

31a、32aはレベルシフタ

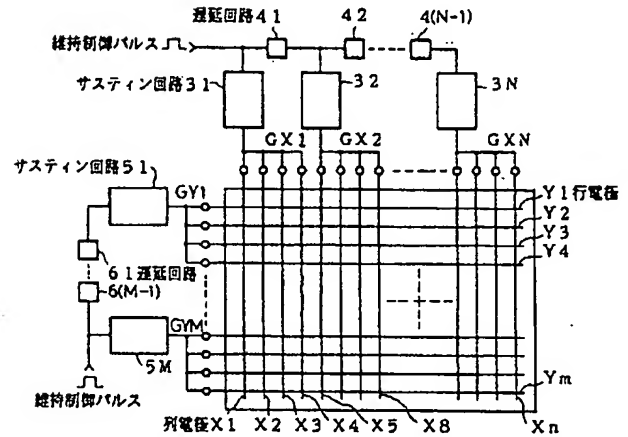
41~4N、61~6Nは遅延回路

71、72は半導体集積回路

GX1~GXNは列電極グループ

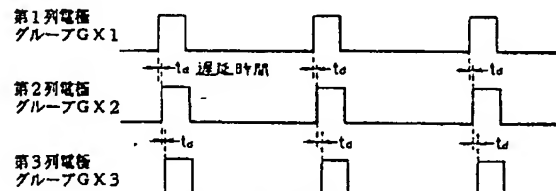
GY1~GYMは行電極グループ

代理人 弁理士 井 桁 貞 (印)



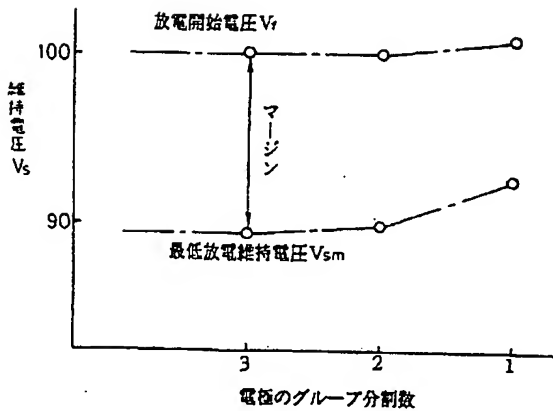
プラズマディスプレイパネルの要部駆動回路

第1図



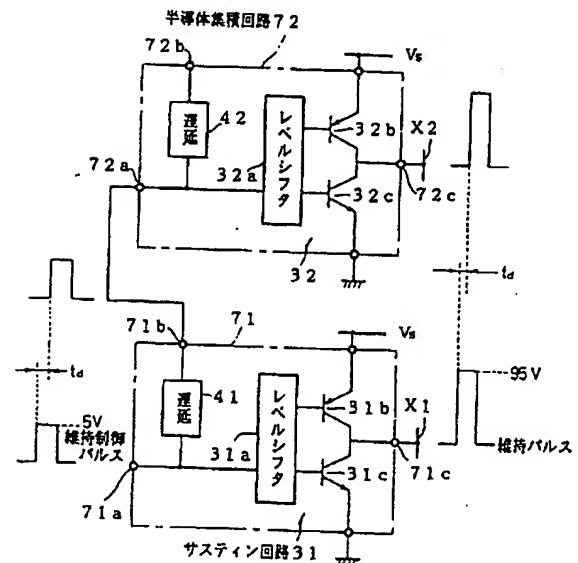
維持パルスのタイムチャート

第2図



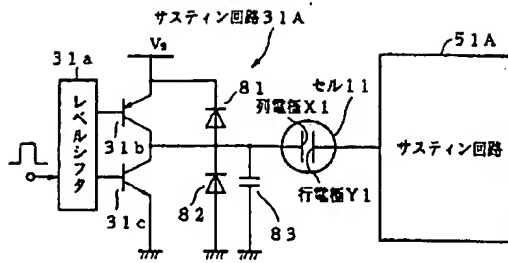
グループ分割数と維持電圧マージンとの関係

第3図



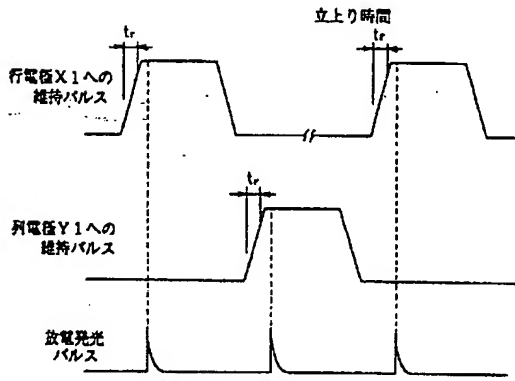
プラズマディスプレイパネルの要部駆動回路

第4図



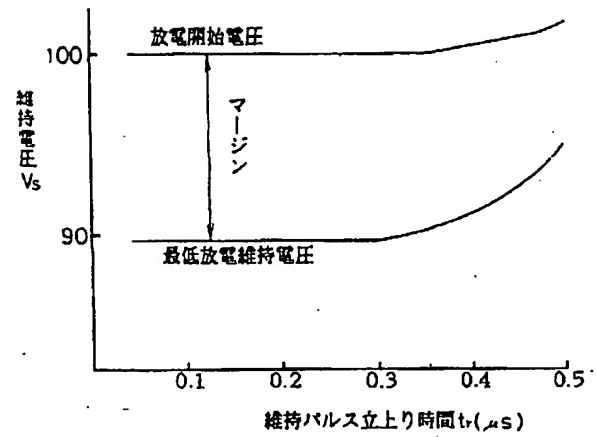
放電セル11についてのサステイン回路

第5図



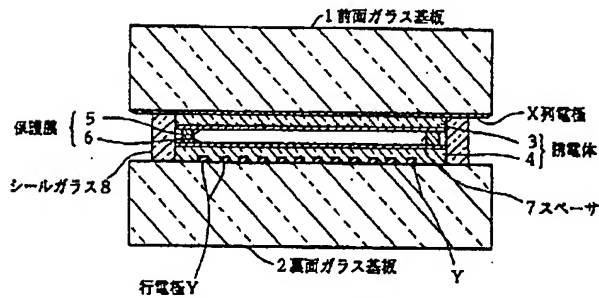
維持パルス及び放電発光パルスの波形図

第6図



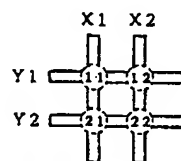
維持パルス立上り時間と維持電圧マージンとの関係

第7図



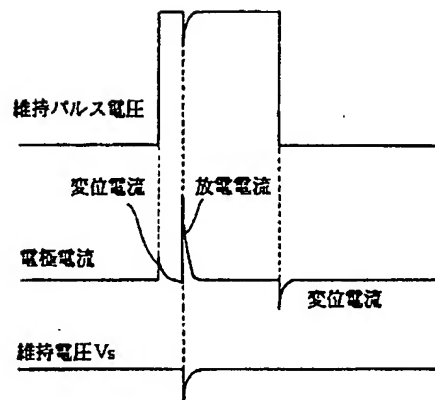
メモリアイプ・プラズマディスプレイパネルの横断面構成図

第8図



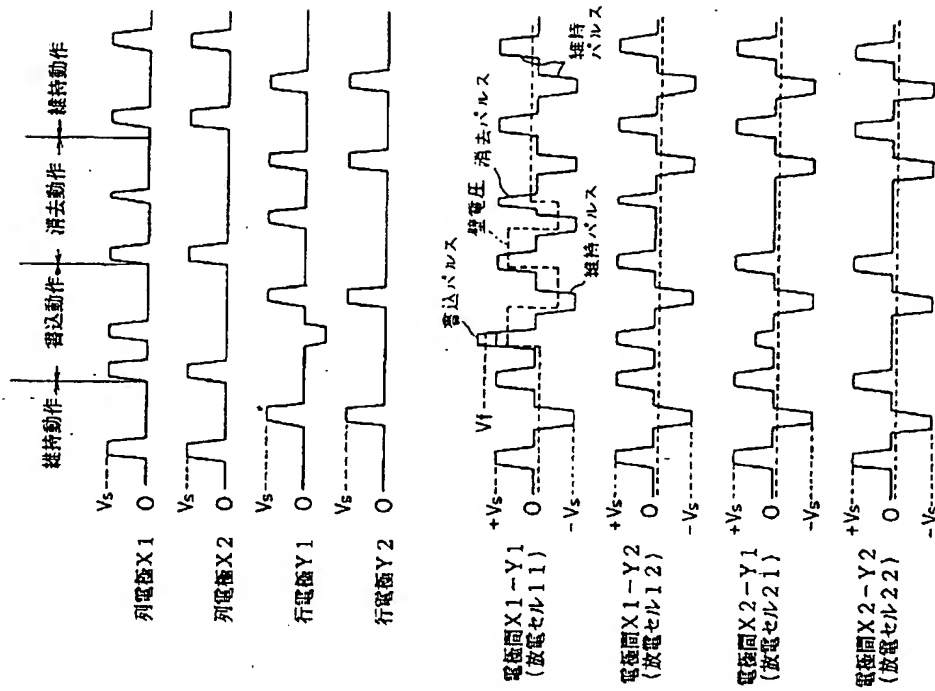
電極交差部分に形成される放電セルの領域

第9図



従来例の問題点を説明する波形図

第11図



第9図に示す電極に印加される駆動パルス及び放電セルの電極間に印加される駆動パルスのタイムチャート

第 10 圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.